

Estructura de VHDL

Sistemas Digitales Avanzados

Universidad Técnica Particular de Loja

Prof: Diego Barragán Guerrero

Oct. 2014 - Feb. 2015

Código VHDL: secciones fundamentales.

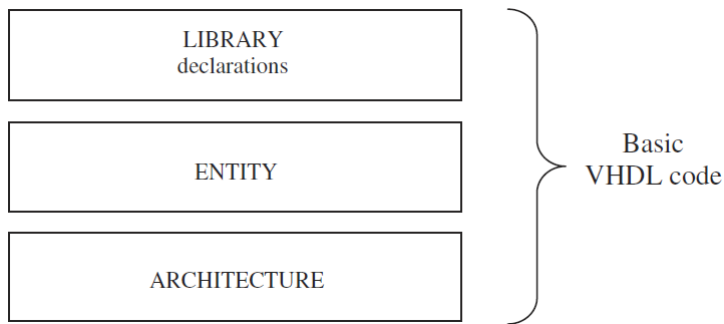


Figura: Lógica de VHDL [2].

Unidades fundamentales de VHDL.

- Declaración de **librería** (*Library*): lista de todas las librerías que serán usadas en el diseño.
- **Entidad** (*Entity*): especificación de los pines de entrada y salida.
- **Arquitectura** (*Architecture*): describe el comportamiento del circuito.

Declaración de librería.

Código de librería

```
LIBRARY library_name;  
USE library_name.package_name.package_parts;
```

Paquetes estándar

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
-- Las librerías siguientes son visibles por defecto  
LIBRARY std;  
USE std.standard.all;  
--  
LIBRARY work;  
USE work.all;
```

Entidad (1/2)

Lista de todas las entradas y salidas del circuito.

Código de librería

```
ENTITY entity_name IS
    PORT (
        port_name : signal_mode signal_type;
        port_name : signal_mode signal_type;
        ...);
END entity_name;
```

- **Modo:** IN, OUT, INOUT, BUFFER.
- **Tipo:** BIT, STD_LOGIC, INTEGER.
- **Nombre:** cualquier nombre excepto palabra reservadas de VHDL.

Entidad (2/2)



Figura: Compuerta NAND.

Código de librería

```
ENTITY nand_gate IS
    PORT (a, b : IN BIT;
          x : OUT BIT);
END nand_gate;
```

Arquitectura (1/2)

Descripción del funcionamiento del circuito.

Sintaxis de la arquitectura

```
ARCHITECTURE architecture_name OF entity_name IS
    [declarations]
BEGIN
    (code)
END architecture_name;
```

- **Parte declarativa:** contiene señales y constantes.
- **Parte del código:** desde BEGIN.
- El nombre de la arquitectura puede ser cualquiera excepto palabras reservadas de VHDL.

Arquitectura (2/2)

Sintaxis de la arquitectura

```
ARCHITECTURE myarch OF nand_gate IS
BEGIN
    x<=a NAND b;
END myarch;
```

- Circuito realiza la operación NAND entre las señales a y b .
- Asignación del resultado en la señal x con el operador $<=$.

Test Bench

Test Bench: programa en VHDL que simula las entradas y presenta los resultados.

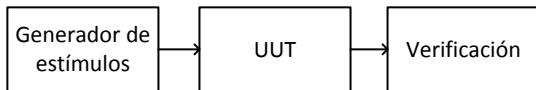


Figura: Esquema de un Test Bench [1].

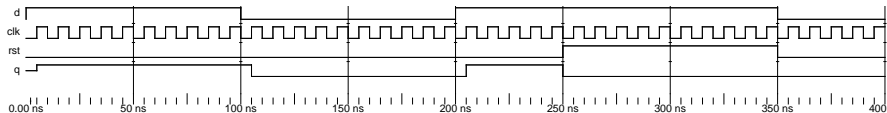


Figura: Test Bench.

Ejemplo: compuerta NAND.

Código VHDL

```
library IEEE;
use IEEE.std_logic_1164.all;
--
ENTITY com_nand IS
PORT( a,b: IN std_logic;
      q: OUT std_logic);
END com_nand;
--
ARCHITECTURE com_nand OF com_nand IS
SIGNAL temp: std_logic;
BEGIN
    q<=a NAND b;
END com_nand;
```

Sintaxis del *Test Bench* (1/3)

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
--
ENTITY c2_Comp_Nand_tb IS
END c2_Comp_Nand_tb;
--
ARCHITECTURE behavior OF c2_Comp_Nand_tb IS
    COMPONENT com_nand
    PORT(
        a : IN  std_logic;
        b : IN  std_logic;
        q : OUT std_logic
    );
    END COMPONENT;
--Inputs
signal a : std_logic := '0';
signal b : std_logic := '0';
--Outputs
signal q : std_logic;
BEGIN
```

Sintaxis del *Test Bench* (2/3)

```
BEGIN
-- Instantiate the Unit Under Test (UUT)
  uut: com_nand PORT MAP (
    a => a,
    b => b,
    q => q);
-- Stimulus process
stim_proc: process
begin
  a<='0';b<='0';
  wait for 100 ns;
  a<='0';b<='1';
  wait for 100 ns;
  a<='1';b<='0';
  wait for 100 ns;
  a<='1';b<='1';
  wait for 100 ns;
  wait;
end process;
END;
```

Test Bench compuerta NAND.

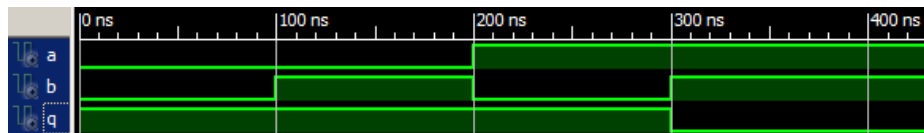


Figura: Test bench o diagrama temporal.

a	b	NAND
0	0	1
0	1	1
1	0	1
1	1	0

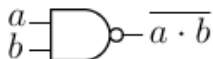


Figura: Tabla de verdad de NAND.

Flip Flop y compuerta NAND

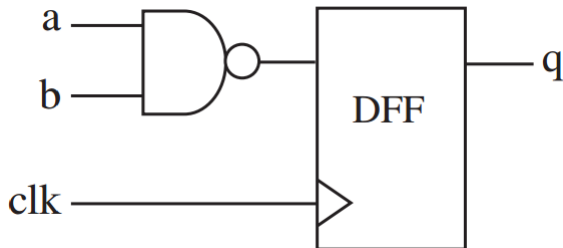


Figura: DFF y NAND

Flip Flop y compuerta AND

Código VHDL

```
library IEEE;
use IEEE.std_logic_1164.all;
--
ENTITY example IS
PORT( a,b,clk: IN std_logic;
      q: OUT std_logic);
END example;
--
ARCHITECTURE example OF example IS
SIGNAL temp: std_logic;
BEGIN
temp<=a NAND b;
  PROCESS (clk) BEGIN
    IF (clk'EVENT AND clk='1') THEN q<= temp;
    END IF;
  END PROCESS;
END example;
```

Test Bench

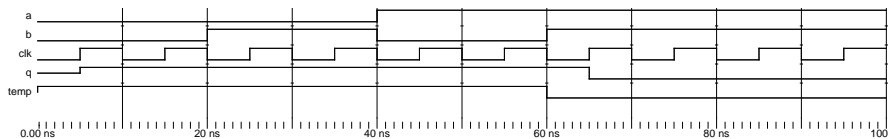


Figura: Diagrama temporal generado en Modelsim SE 6.5.

- [1] How to simulate designs in active-hdl.
<http://goo.gl/eEyQFd>.
Acceso: 2014-08-28.
- [2] Volnei A. Pedroni.
Circuit Design with VHDL.
MIT Press, Cambridge, MA, USA, 2004.