

# Acerca de VHDL

Sistemas Digitales Avanzados

Universidad Técnica Particular de Loja

*Prof: Diego Barragán Guerrero*

Oct. 2014 - Feb. 2015

```
5  LIBRARY ieee;
6  USE ieee.std_logic_1164.all;
7
8  ENTITY LabExCG4 IS
9  PORT( u, v, w, x, y : IN BIT;
10       s : IN STD_LOGIC_VECTOR(2 DOWNTO 0);
11       m : OUT BIT);
12  END LabExCG4;
13
14  ARCHITECTURE Behavior OF LabExCG4 IS
15  BEGIN
16  PROCESS (s)
17  BEGIN
18  CASE s IS
19  WHEN "000" => m <= u;
20  WHEN "001" => m <= v;
21  WHEN "010" => m <= w;
22  WHEN "011" => m <= x;
23  WHEN "100" => m <= y;
24  WHEN OTHERS => m <= y;
25  END CASE;
26  END PROCESS;
27  END Behavior;
```

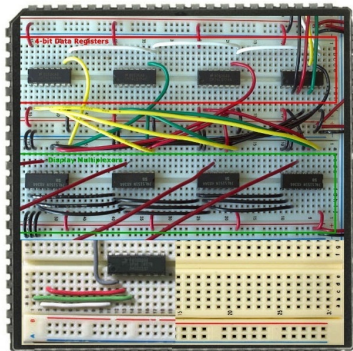


Figura: Lógica de VHDL [2].



Figura: Aprendiendo VHDL [1].

- VHDL: lenguaje (texto) para describir Hardware.
- Describe el comportamiento de un sistema o circuito.
- VHDL: *VHSIC Hardware Description Language*.
- VHSIC: *Very High Speed Integrates Circuits*.
- Creado por DoD de EEUU en 1980.
- Estandarizado por IEEE: 1076 y 1164.
- Destinado para: síntesis y simulación.
- VHDL es inherentemente concurrente (paralelo).

# VHDL

- ¿Por qué VHDL?
  - Estándar independiente del proveedor de tecnología.
  - Portable.
  - Reusable.
- Tecnologías:
  - Dispositivos lógicos programables (PLD).
  - *Field Programmable Gate Arrays* (FPGA).
  - Circuito Integrado para Aplicaciones Específicas (ASIC).



Figura: FPGA.

# Flujo de diseño

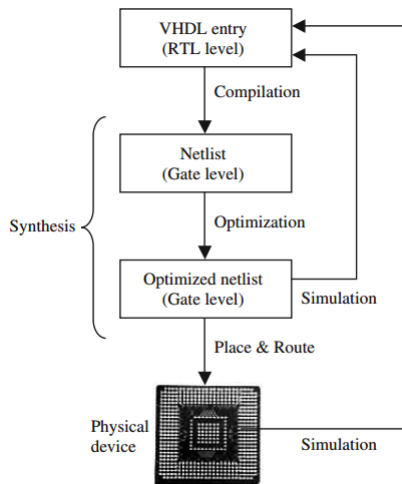


Figura: Flujo de diseño [?].

# Herramientas EDA (*Electronic Design Automation*)

- ISE Design Suite 14.1 (*Integrated Software Environment*).
- Modelsim SE 6.5.
- MATLAB R2014a.
- Notepad ++.

- [1] How to learn vhdl.  
<http://www.xess.com/blog/how-to-learn-vhdl/>.  
Acceso: 2014-08-26.
- [2] Vhdl.  
[http://www.digital-circuitry.com/MyLAB\\_VHDL.htm](http://www.digital-circuitry.com/MyLAB_VHDL.htm).  
Acceso: 2014-08-26.
- [3] Volnei A. Pedroni.  
*Circuit Design and Simulation with VHDL, Second Edition*.  
The MIT Press, 2nd edition, 2010.